

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-198791

(43) 公開日 平成7年(1995)8月1日

(51) IntCl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

G 0 6 F 11/22

3 3 0 F

G 0 1 R 31/ 28

V

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平5-336810

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 池永 剛

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 小倉 武

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 中村 純之助

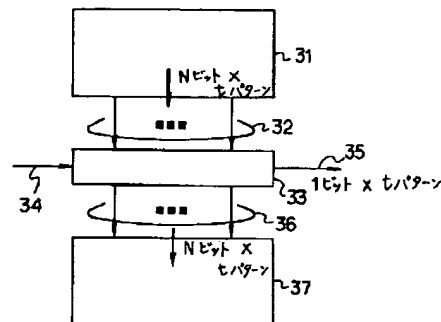
(54) 【発明の名称】 共有型試験レジスタおよびこれを用いた組み込み自己試験回路

(57) 【要約】

【目的】集積回路のマルチサイクル回路に適用可能で、タイミング保証が容易で、かつ、テスト工数を少なくし、さらに試験のための付加回路が少なく済む共有型試験レジスタと組み込み自己試験回路を提供する。

【構成】共有型試験レジスタは、テストパターン発生器と空間圧縮器としての構成を備え、また組み込み自己試験回路は、複数の上記共有型試験レジスタと、時間圧縮器、試験制御回路を用い、共有型試験レジスタを同時に空間圧縮器、テストパターン発生器として動作させ、各共有型試験レジスタは、タイミング保証が可能なレイアウトブロックを超えない、制限された数の記憶素子で構成し、かつ共有型レジスタのそれぞれを構成する記憶素子は同じクロックサイクルで動作し、また上記の共有型試験レジスタは試験対象回路の特徴に対応したハード量の少ない構成を備える。

図1 本発明の共有試験レジスタの基本構成  
(タイプ2の共有試験レジスタ)



31 前段の試験対象回路

32 データ入力線 (Nビット)

33 共有型試験レジスタ (パターン発生、空間圧縮)

34 モード制御入力線

35 空間圧縮出力線

36 データ出力線 (Nビット)

37 次段の試験対象回路

1

## 【特許請求の範囲】

【請求項1】 N本（Nは任意の自然数）のデータ入力線と、1本のモード切替え入力線と、N本のデータ出力線と、試験情報出力線を有するレジスタを試験対象回路と上記データ入力線およびデータ出力線を介して接続する回路構成の中で、上記レジスタを、通常モード時は、Nビット幅のレジスタとして動作させ、

試験モード時は、前段の試験対象回路から出力されるNビット×tパターン（tはテストパターン数）の入力情報によりNビット幅のレジスタに蓄えられた情報を次段の試験対象回路に対してNビット×tパターンのテストパターンとして出力させる、集積回路の共有型試験レジスタにおいて、

該共有型試験レジスタは、レイアウト時に近接して配置されるN個の記憶素子から構成され、かつ、該N個の記憶素子は同じクロックサイクルで動作し、さらに、上記試験情報出力線が1本の空間圧縮出力線から成る構造を備え、上記試験モード時のNビット×tパターンの情報を1ビット×tパターンの情報に空間圧縮して上記空間圧縮出力線から出力する空間圧縮器の構成を備えることを特徴とする共有型試験レジスタ。

【請求項2】 集積回路内に、L（Lは任意の自然数）個の請求項1記載の共有型試験レジスタと、

該共有型試験レジスタのそれぞれに与えられるクロックサイクルの最小公倍数となるクロックサイクルで動作する記憶素子から構成されるLビット幅の時間圧縮器と、試験制御回路を備え、

上記時間圧縮器よりも圧縮度の小さい上記L個の共有型試験レジスタから出力される空間圧縮出力線L本を上記時間圧縮器に接続し、該時間圧縮器において、Lビット×tパターン（tはテストパターン数）の情報をLビット×pパターン（pはLビット幅の期待値と比較する回数、 $p < t$ の自然数）の情報に圧縮し、圧縮された該情報を上記試験制御回路において、期待値と比較し、良否結果を集積回路外に出力する構成を備えることを特徴とする組み込み自己試験回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路の試験容易化のための共有型試験レジスタおよびこれを用いた組み込み自己試験（BIST: Built-In Self Test）回路に関する。

【0002】

【従来の技術】 集積回路の試験容易化のための1手法として、同一集積回路内にテスター機能（テストパターン発生器、パターン圧縮器、比較器、期待値）を組み込んだ、コンパクトテスト法に基づく組み込み自己試験回路が知られている。大規模化、複雑化する集積回路に対しては、高故障検出率、短テスト時間を達成するために、

2

上記のパターン発生器、パターン圧縮器を集積回路内に複数個搭載した分散型構成が必須となりつつあるが、この分散型構成としては、集積回路内の通常動作に用いられるレジスタの一部を、モード選択によって通常動作とテスト動作に切替えられる共有型試験レジスタで置き換えて、試験容易性を高める方法が知られている。分散型組み込み自己試験回路の従来例としては、共有型試験レジスタとして、モード切替えによって、通常レジスタ動作、シフト動作、初期化、パターン発生、パターン圧縮（時間圧縮）を行なうビルトイン・ロジックブロック・オブザベーション（BILBO: Built-In Logic-Block Observation）レジスタを用い、上記のモードを切替えながら、順次、BILBOレジスタで囲まれた論理ブロックを試験していく方法が知られている（参考文献: Kone mann B., Muncha J. and Zwiehoff G.: "Built-In Logic Block Observation Techniques", IEEE Int. Test Conference, pp37-41 (1979)）。しかし、集積回路内に複数個搭載されるBILBOレジスタとして、リニアフィードバック・シフトレジスタ型の多機能レジスタセルを用いる必要があるので、試験のために加える付加回路が大きくなるという問題がある。また、集積回路内の全ブロックを試験するためには、複数の試験手順が必要のため、試験制御回路が複雑になるという問題がある。

【0003】 このようなBILBO手法と比較して試験制御回路が簡易に構成可能な手法としては、共有型試験レジスタとしてセルフテストバスレジスタ73を用い、それらを1本の循環バス74で結合した構成が知られている。図7に従来の組み込み自己試験回路の全体構成を示す（参考文献: Krasniewski A. and Albicki A.: "Circular Self-Test Path: A Low-Cost BIST Technique for VLSI Circuits", IEEE Trans. on CAD, Vol.8, No.1, pp.46-55 (1989)）。セルフテストバスレジスタ73を、同時に、レジスタの入力側の試験対象回路に対するパターン圧縮器（時間圧縮器）、出力側の試験対象回路に対するテストパターン発生器として動作させることにより、一回の試験手順で集積回路78内の全ブロックを試験可能であり、簡易な試験制御回路が構成可能となる。しかし、全てのセルフテストバスレジスタ73を一本の循環バス74で結合するため、各セルフテストバスレジスタのクロックサイクルが異なるマルチサイクル回路に対しては適用困難であり、また、大規模集積回路に対しては、同時にシフト動作させるレジスタ数が多くなるためタイミング保証が困難であるという問題がある。また、セルフテストバスレジスタ73で直接、圧縮度の大きな時間圧縮を行なうため、圧縮器での故障マスク率を低減するためには、セルフテストバスレジスタ73として、多入力シグネチャレジスタ（MISR）、フィードバック・シフトレジスタといったフィードバック線を持ったハード量の大きな構成を用いなければならないという問題がある。参考文献2では、セルフテストバ

スレジスタ73として、フィードバック・シフトレジスタを用いているが、故障マスク率を減らすためには、多入力シグネチャレジスタ(MISR)よりも期待値比較回数を増やす必要があり、期待値ベクトルが大きくなるという問題がある。

#### 【0004】

【発明が解決しようとする課題】集積回路の大規模化により、消費電力が増大する傾向にあり、集積回路全体を1つのクロックサイクルで動作させるのではなく、各機能ブロックをそれぞれの要求性能に見合ったクロックサイクルで動作させるマルチサイクル回路が増加している。このため、試験容易化手法として、マルチサイクル回路に適用できることが望まれている。集積回路の大規模化により、レジスタのシフト動作時のタイミング保証が困難になってきている。2本のシフト専用のクロックによりシフト動作を保証した、レベルセンシティブ・スキャン方式が知られているが、多くのハード量を必要とする。このため、組み込み自己試験手法では、レベルセンシティブ・スキャン方式を用いなくても、容易にタイミング保証が可能な構成が望まれている。組み込み自己試験回路を用いて集積回路の試験を行なう場合のテスト工程として、組み込み自己試験回路の設計、組み込み、試験実行工程があるが、テストコスト削減のため、この工数を削減することが望まれている。このうち、設計、組み込み工数を削減するためには、組み込み自己試験回路を構成する全部品を規格化、簡易化できる構成が必要である。特に設計工数を必要とする試験制御回路を規格化、簡易化できる構成が必要である。また、製造段階、システム段階での試験実行を容易にするためには、期待値を集積回路内に搭載し、テスターを用いずに集積回路内部で良否結果を出力できる構成が望まれている。組み込み自己試験のハードを付加することによって、チップ面積が増大すると、そのまま集積回路の歩留まり低下につながるの、組み込み自己試験用の追加ハード量はできるだけ少なくすることが望まれている。このため、集積回路内に複数個搭載し、付加回路の増加の要因となる共有型試験レジスタをできるだけハード量の少ない回路で実現できることが必要となる。

【0005】本発明は、以上の点に鑑み、その問題点を解決するためになされたもので、その目的は、集積回路の試験容易化を行なうための組み込み自己試験回路用として、一つには、マルチサイクル回路に適用可能で、タイミング保証が容易で、かつ、テスト工数を少なくするよう改善する共有型試験レジスタを提供するとともに、もう一つには、このような改善の上にさらに試験のための付加回路が少なく済む組み込み自己試験回路を提供することにある。

#### 【0006】

【課題を解決するための手段】上記の一つの目的を達成するための本発明の共有型試験レジスタでは、例えば図

1に示すように、N本(Nは任意の自然数)のデータ入力線32と、1本のモード切替え入力線34と、N本のデータ出力線36と、試験情報出力線35を有するレジスタ33を試験対象回路例えば31、37と上記データ入力線32およびデータ出力線36を介して接続する回路構成の中で、上記レジスタ33を、通常モード時は、Nビット幅のレジスタとして動作させ、試験モード時は、前段の試験対象回路から出力されるNビット×tパターン(tはテストパターン数)の入力情報によりNビット幅のレジスタに蓄えられた情報を次段の試験対象回路に対してNビット×tパターンのテストパターンとして出力させる、集積回路の共有型試験レジスタ33において、該共有型試験レジスタ33は、レイアウト時に近接して配置されるN個の例えばフリップフロップの記憶素子から構成され、かつ、該N個の記憶素子は同じクロックサイクルで動作し、さらに、上記試験情報出力線が1本の空間圧縮出力線35から成る構造を備え、上記試験モード時のNビット×tパターンの情報を1ビット×tパターンの情報に空間圧縮して上記空間圧縮出力線35から出力する空間圧縮器の構成を備えることとする。

【0007】また上記のもう一つの目的を達成するための本発明の組み込み自己試験回路では、例えば図2に示すように、集積回路内に、L(Lは任意の自然数)個の上記の空間圧縮器としての共有型試験レジスタ12(R3、R7、R8)と、該共有型試験レジスタのそれぞれに与えられるクロックサイクルの最小公倍数となるクロックサイクルで動作する例えばフリップフロップの記憶素子から構成されるLビット幅の時間圧縮器16と、試験制御回路17を備え、上記時間圧縮器よりも圧縮度の小さい上記L個の共有型試験レジスタ12から出力される空間圧縮出力線(13)L本を上記時間圧縮器16に接続し、該時間圧縮器16において、Lビット×tパターン(tはテストパターン数)の情報をLビット×pパターン(pはLビット幅の期待値と比較する回数、 $p < t$ の自然数)の情報に圧縮し、圧縮された該情報を上記試験制御回路17において、期待値と比較し、良否結果を集積回路外に出力する(110)構成を備えることとする。

#### 【0008】

【作用】本発明の共有型試験レジスタによれば、レイアウト時に近接して配置されるN個の記憶素子(フリップ・フロップ)を用いて1つの共有型試験レジスタを構成することにより、上記記憶素子に与えられるクロックのずれを抑え、タイミング保証を容易にすることが可能になる。また、本発明の共有型試験レジスタによれば、試験モード時に共有型試験レジスタをテストパターン発生器、空間圧縮器として同時に動作させることにより、一回の試験手順で集積回路内の全ブロックを試験可能になる。このため、試験制御回路が簡易に構成できるようになり、テスト工数も少なくなる。さらに、本発明の共有

型試験レジスタにおいて、これを構成する記憶素子が同じ周波数のクロックサイクルで動作するようにすることは、これを用いた試験回路が後述のようにマルチサイクル回路に好適になるような素地を備えることになる。

【0009】また本発明の組み込み自己試験回路では、パターン圧縮を共有型試験レジスタによる空間圧縮と時間圧縮との2段に分けて行ない、空間圧縮器（共有型試験レジスタ）は、同じ周波数のクロックサイクルで動作する記憶素子（フリップ・フロップ）のみで構成し、時間圧縮器は、各共有型試験レジスタに与えられるクロックサイクルの最小公倍数となるクロックサイクルで動作する記憶素子（フリップ・フロップ）のみで動作することにより、マルチサイクル回路に適用可能になる。また本発明の組み込み自己試験回路では、集積回路内に多数搭載され、試験用付加回路増大の要因となる共有型試験レジスタとして、パターン圧縮度が大きく、故障マスク率を低く抑えるためにはハード量の大きな構成が必須な時間圧縮器を用いるのではなく、パターン圧縮度が小さく、少ないハード量で故障マスク率を低く抑えることが可能な空間圧縮器を用い、時間圧縮は独立した1つの他入力シグネチャレジスタ（MISR）等の圧縮器を用いて行うことにより、共有型レジスタのハード量を抑え、試験用付加回路全体のハード量を少なくすることが可能になる。また、本発明の組み込み自己試験回路によれば、クロックずれの少ない上記共有型試験レジスタを用いることにより、タイミング保証の容易な自己試験回路の組み込みが容易になる。さらに、本発明の組み込み自己試験回路によれば、期待値、比較回路を集積回路内に搭載し、集積回路内部で良否結果を判別しており、これにより、製造段階、システム段階での試験実行が容易に行なえるようになる。

【0010】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は本発明の共有型試験レジスタの基本構成を示す図で、図2は、本発明による組み込み自己試験回路の全体構成を示す図である。図2に示すように、本発明による組み込み自己試験回路は、自己試験のため、通常レジスタ・パターン発生器切替え型のタイプ1の共有型試験レジスタ11、通常レジスタ・パターン発生器+空間圧縮器切替え型のタイプ2の共有型試験レジスタ12、時間圧縮器16、試験制御回路17を用いて構成する。その中で、図1の本発明の共有型試験レジスタはタイプ2の共有型試験レジスタ12であり、上記のタイプ1の共有型試験レジスタ11は図3に示す。さらに図4～図6に本発明の共有型試験レジスタの実施例を示す。

【0011】まず、図1のタイプ2の共有型試験レジスタ12は、N本（Nは任意の自然数）のデータ入力線32、1本のモード切替え入力線34、N本のデータ出力線36、1本の空間圧縮出力線35を持ち、通常モード

時は、通常動作に用いられるNビット幅のレジスタとして動作し、試験モード時は、前段の試験対象回路31から出力されるNビット（Nは試験対象回路の出力本数）×tパターン（tはテストパターン数）の情報を1×t情報に圧縮し空間圧縮出力線35から出力すると同時に、Nビット幅のレジスタに蓄えられた情報を次段の試験対象回路37に対するテストパターンとして出力する機能を持つ。

【0012】図2において、上記のタイプ1の共有型試験レジスタ11は、外部入力113に直結された、レジスタ（あるいはバウンダリスキャンレジスタ）を置き換える形で集積回路116内に搭載する。また、タイプ1の共有型試験レジスタ11は、通常動作時に同じクロックサイクルで動作し、タイミング保証が可能なレイアウトブロックに属した、20から30程度の記憶素子（フリップ・フロップ）ごとに構成する。また、タイプ1の共有型試験レジスタ11は、N本（Nは任意の自然数）のデータ入力線、1本のモード切替え入力線、N本のデータ出力線を持ち、通常モード時は、通常動作に用いられるNビット幅のレジスタとして動作し、試験モード時は、次段の試験対象回路に対するテストパターン発生器としての機能を持つ。

【0013】また、上記のタイプ2の共有型試験レジスタ12は、組合せ論理回路115に囲まれたレジスタの一部、及び外部出力に直結されたレジスタ（あるいはバウンダリスキャンレジスタ）を置き換える形で集積回路116内に搭載する。組合せ論理回路115に囲まれたレジスタとしては、乱数パターンでは、可制御性、可観測性の悪いレジスタを選択する。一般に、状態制御用レジスタ等が例として挙げられる。また、集積回路が適当な大きさのサブブロックに分割できるようなレジスタを選択し、故障検出率算出等の評価を容易にする。また、タイプ2の共有型試験レジスタ12は、通常動作時に同じクロックサイクルで動作し、タイミング保証が可能なレイアウトブロックに属した、20から30程度の記憶素子（フリップ・フロップ）ごとに構成する。

【0014】時間圧縮器16は、Lビット（Lはタイプ2の共有型試験レジスタの数）の多入力シグネチャレジスタ（MISR）を用いる。全共有型試験レジスタの空間圧縮出力線13から出力されるLビット（Lは試験対象回路の出力本数）×tパターン（tはテストパターン数）の情報をL×pパターンの情報に時間圧縮する。ここでp（任意の自然数）は期待値との比較回数で、他入力シグネチャレジスタの故障マスク率は、 $1/(2L)$ となるので、Lが20から30ビット以下になるとMISRでの故障マスク率が顕著になることと、不良出荷率を例えば通常の100万分の1の目標にするということの両者の見地からL×pの値を30以上になるようにする。また、上記時間圧縮器16は、通常動作時に同じクロックサイクルで動作し、タイミング保証が可能なレイ

アウトブロックに属した、20から30程度の記憶素子（フリップ・フロップ）ごとに構成する。また、集積回路全体で複数のクロックサイクルで動作している場合、上記時間圧縮器16は、各クロックサイクルの最小公倍数となるクロックサイクルで動作させる。

【0015】試験制御回路17は、集積回路116の外部から試験回路起動信号18を受けとり、初期化信号線15により、集積回路内の全レジスタを初期化し、試験モード信号線14により、全共有型試験レジスタを試験モードに切替え、パターン発生・圧縮を行ない、t周期（tはテストパターン数）後、時間圧縮器16の出力を期待値と比較し、終了信号19と結果判定信号110を集積回路116外に出力する。上記試験制御回路17が制御する、上記のタイプ2の共有型試験レジスタ12は、同時にパターン発生器、パターン圧縮器として動作するので、上記の起動、初期化、パターン生成・圧縮、良否判別を1試験手順で実行可能で、BILBO手法のように複数の試験手順を必要とするものと比較して、試験制御回路17の構成が簡易となる。

【0016】図3に、タイプ1の共有型試験レジスタ11の構成例を示す。タイプ1の共有型試験レジスタ11は、N個の記憶素子23、N個のシフトデータ・通常入力データ選択素子24、O個（Oは1～3の整数）の排他的論理和素子25を用いて構成する。シフトデータ・通常入力データ選択素子24は、モード切替え入力線22から与えられる信号によって、通常モード時はデータ入力線21を、試験モード時は前段の記憶素子24からシフトされてくるデータを選択する。また、上記タイプ1の共有型試験レジスタ11は、フィードバックする位置として原始多項式が生成多項式となる複数のフィードバック線26を有し、試験モード時は、リニアフィードバック・シフトレジスタ(LFSR)として動作し、次段の試験対象回路に対し、最大長系列の疑似乱数パターンを与える。

【0017】図4に、上記タイプ2の共有型試験レジスタ12の構成例1（フィードバック型）を示す。図4のタイプ2の共有型試験レジスタ12は、N個の試験用レジスタセル43を用いて構成する。また、各試験用レジスタセル43はシフト線410により結合する。最終段の試験用レジスタセル43の出力をフィードバック線により初段の試験用レジスタセル43に結合し、さらに空間圧縮出力線47として出力する。上記試験用レジスタセル43は、記憶素子44、2入力論理素子45、シフトデータ・固定値選択素子46を用いて構成する。上記シフトデータ・固定値選択素子46は、モード切替え入力線42から与えられる信号によって、通常モード時は固定値を2入力論理素子45に与え、データ入力41がそのまま記憶素子44に与えられるように動作し、試験モード時は、前段の試験用レジスタセル43からシフトされてくるデータとデータ入力41の論理をとった

値が記憶素子44に与えられるように動作する。2入力論理素子45は、論理和、論理積、排他的論理和およびそれらの否定のいずれかで構成する。

【0018】また、上記フィードバック型の別の構成として、図5に示すように、フィードバックする位置として原始多項式が生成多項式となる複数のフィードバック線58を有し、2入力論理素子として排他的論理和素子55を用い、試験モード時に多入力シグネチャレジスタとして動作する構成2(MISR型)を用いる。

【0019】図6に、上記タイプ2の共有型試験レジスタ12の構成例3（ノー・フィードバック型）を示す。図6のタイプ2の共有型試験レジスタ12は、1個の通常レジスタセル63、N-1個の試験用レジスタセル64から構成され、通常レジスタセル63及び各試験用レジスタセル64はシフト線610により結合する。最終段の試験用レジスタセル64の出力を空間圧縮出力線68として出力する。通常レジスタセル63は、前段の試験対象回路の出力32のうちランダムに0、1反転する率の高い出力に接続されたものを選択する。上記試験用レジスタセル64は、記憶素子65、2入力論理素子66、シフトデータ・固定値選択素子67を用いて構成する。上記シフトデータ・固定値選択素子67は、モード切替え入力線62から与えられる信号によって、通常モード時は固定値を2入力論理素子66に与え、データ入力61がそのまま記憶素子65に与えられるように動作し、試験モード時は、前段の通常レジスタセル63あるいは試験用レジスタセル64からシフトされてくるデータとデータ入力61の論理をとった値が記憶素子に与えられるように動作する。2入力論理素子66は、論理和、論理積、排他的論理和及びそれらの否定のいずれかで構成する。

【0020】次に、マルチサイクル回路への適用、タイミング保証、タイプ2の共有型試験レジスタに関する追記事項について述べる。（マルチサイクル回路への適用）前記に述べたように、集積回路全体が複数のクロックサイクルで動作している場合、タイプ1の共有型試験レジスタ11、タイプ2の共有型試験レジスタ12は通常動作時に同じクロックサイクルで動作する記憶素子（フリップ・フロップ）ごとに構成する。また、時間圧縮器16は、各クロックサイクルの最小公倍数となるクロックで動作させる。これにより、各々のタイプ1の共有型試験レジスタ11、タイプ2の共有型試験レジスタ12、時間圧縮器16を構成するフリップ・フロップ間のシフト動作は、同じクロックサイクルで行なわれ、また、各タイプ2の共有型試験レジスタ12から時間圧縮器16へのシフト動作は、必ず、低いクロックサイクルのフリップ・フロップから高いクロックサイクルのフリップ・フロップに対して行なわれるため、シフト動作時の情報の欠損が生じない。一方従来手法では、全てのレジスタを一本の循環バス74で結合しシフト動作させ

るため、集積回路全体が複数のクロックサイクルで動作している場合、高いクロックサイクルのフリップ・フロップから低いクロックサイクルのフリップ・フロップへのシフト動作が行なわれるため、シフト動作時に情報の欠損が生じ、圧縮器での故障マスク率が増大する。

【0021】(タイミング保証) 前記に述べたように、タイプ1の共有型試験レジスタ11、タイプ2の共有型試験レジスタ12、時間圧縮器16は、それぞれ、タイミング保証が可能なレイアウトブロックに属した、20から30程度の記憶素子(フリップ・フロップ)ごとに構成する。上記タイプ1の共有型試験レジスタ11、タイプ2の共有型試験レジスタ12、時間圧縮器16を構成するフリップ・フロップ間のタイミング保証に関しては、各種試験レジスタを構成するフリップ・フロップ間は1、2段の論理素子が配置されているため、その論理素子の遅延時間分のホールドマージンがあるため、タイミング保証を行なうためには、上記試験レジスタのそれぞれフリップ・フロップに与えられるクロックのばらつきを上記ホールドマージン内に抑えればよい。クロック配線長を揃える、同じドライバで駆動する等のクロック設計により、スキューを1、2段の論理素子の遅延時間以内に保証したレイアウトブロックの特定は容易に行なえるため、各種試験レジスタを構成するフリップ・フロップとして、上記のタイミング保証可能なレイアウトブロックに属し、数を20から30程度に抑えることにより、タイミング保証を容易に行なえる。また、タイプ2の共有型試験レジスタ12から時間圧縮器16へのシフト動作に対するタイミング保証に関しては、タイプ2の共有型試験レジスタ12が含まれるレイアウトブロックと時間圧縮器16が含まれるレイアウトブロック間で想定されるクロックのばらつきに相当する遅延素子を、タイプ2の共有型試験レジスタ12と時間圧縮器16の間に入れることによって容易に行なえる。

【0022】(タイプ2の共有型試験レジスタ) タイプ2の共有型試験レジスタ12としては、前記に示したように、全体構成としてフィードバック型、MISR型あるいはノー・フィードバック型、2入力論理素子として論理和、論理積、排他的論理和及びそれらの否定のいずれかを選択して構成するが、その際の選択指針を示す。ハード量としては、ノー・フィードバック型、フィードバック型、MISR型の順に大きくなり、2入力論理素子としては、排他的論理和およびその否定を用いた場合が最も大きくなる。タイプ2の共有型試験レジスタ12は、前記で述べたように前段の試験対象回路31に対する空間圧縮器および次段の試験対象回路37に対するテストパターン発生器として機能するが、それぞれ空間圧縮器の故障マスク率(圧縮器で故障の影響をマスクしてしまう率)、テストパターン発生器のテストパターン効率(ランダム性の高いパターンがどれくらい生成されるか)を考慮した選択が必要である。タイプ2の共有型試

験レジスタ12の空間圧縮器としての故障マスク率に関して、最終段の試験用レジスタセル43<sub>0</sub>、53<sub>0</sub>、64<sub>0-1</sub>に結合された空間圧縮出力線47、57、68から全試験サイクルにおいて圧縮値を出力するので、最終段の試験用レジスタセル43<sub>0</sub>、53<sub>0</sub>、64<sub>0-1</sub>に一度でも故障の影響が伝搬すればよく、フィードバック型とノー・フィードバック型では、故障マスク率に差はない。また、2入力論理素子45、66として排他的論理和あるいはその否定を用いた場合は、故障マスクが生じるためには、あるサイクルに前段の試験対象回路31から異常出力が伝搬した場合、その異常出力が最終段の試験用レジスタセル43<sub>0</sub>、53<sub>0</sub>、64<sub>0-1</sub>にシフトされるまでに、前記の異常出力を打ち消す新たな異常出力が伝搬する必要があるため、故障マスク率は極めて低い。論理和あるいはその否定を用いた場合は、あるサイクルに前段の試験対象回路31から異常出力が伝搬した場合、その影響を打ち消すような異常出力が来なくても、シフト動作時に1/2の確率で見逃していくので、排他的論理和あるいはその否定を用いた場合と比較して故障マスク率は高くなる。タイプ2の共有型試験レジスタ12のテストパターン発生器としてのテストパターン効率に関しては、前段の試験対象回路31からは様々な形態のパターンが伝搬してくるが、前段の試験対象回路31の出力の中で、全部あるいは一部がランダムに0、1反転する率が高い場合は、その出力を通常レジスタセル63に接続することにより、ノー・フィードバック型を用いても次段の試験対象回路37に対しテストパターン効率の高いパターンが発生できる。前段の試験対象回路31の出力がランダムに0、1反転する率が一樣に低い場合、ノー・フィードバック型では、固定パターンが生成される率が高くなるため、テストパターン効率が悪くなるのでフィードバック型を用いる必要がある。前段の試験対象回路31の全出力から、ほとんど全ての試験サイクルにおいて固定値が伝搬してくるものに関しては、単なるフィードバック型では、共有試験レジスタのビット幅数のパターンが繰り返されるため、パターン効率が悪くなる。そこで、MISR型を用いる必要がある。また、2入力論理素子45、66として論理和、論理積あるいはその否定を用いた場合は、排他的論理和あるいはその否定を用いた場合と比較して、試験用レジスタセルに0あるいは1が生じる確率が高くなり、パターン効率が落ちる。

【0023】以上、各タイプ2の共有型試験レジスタ12の特徴を考慮して、まず、フィードバック型、MISR型、ノー・フィードバック型の選択は、前段の試験対象回路31の出力の中で、全部あるいは一部がランダムにトグルする率の高い場合は、ノー・フィードバック型を用い、前段の試験対象回路31の出力全部がランダムにトグルする率が一樣に低い場合は、フィードバック型を用い、前段の試験対象回路31の全出力から、ほとんどのサイクルにおいて固定値が伝搬してくる場合は、M

ISR型を用いる。

【0024】次に、2入力論理素子45、66の選択は、前段の試験対象回路31に故障検出率の高いパターンが数多く与えられ、試験対象回路の出力に故障の影響が数多く伝搬し、かつ次段の試験対象回路37がそれほどテストパターン効率の良くないパターンでも高い故障検出率が得られる場合に用いる。

【0025】本発明では、共有型試験レジスタのパターン圧縮としては空間圧縮しか行なわないため、共有試験レジスタでは、数十分の1程度のパターン圧縮（共有型試験レジスタを構成するレジスタ数は数十とする）を行なえば良く、上記に示したように、前段と次段に接続される試験対象回路の特徴によって、多くの場合、ハード量の少ない共有試験レジスタを用いることができる。一方、従来手法のように、共有型試験レジスタで直接時間圧縮を行なう手法は、共有試験レジスタで、数百万分の1（テストサイクル数を数百万とする）のパターン圧縮を行なう必要があり、故障マスクを生じないためには、前段と次段に接続される試験対象回路の特徴にかかわらず、多入力シグネチャレジスタ（MISR）あるいはフ

【0026】

【発明の効果】以上に述べたように、本発明の共有型試験レジスタを用いた組み込み自己試験回路によれば、マルチサイクル回路に適用可能で、タイミング保証が容易で、テスト工数が少なく、さらに試験のための付加回路が少ない、集積回路用の組み込み自己試験回路が実現できる。

【図面の簡単な説明】

【図1】本発明のタイプ2の共有試験レジスタの基本構成図。

【図2】本発明による組み込み自己試験回路の全体構成

図。

【図3】タイプ1の共有型試験レジスタの構成例を示す図。

【図4】タイプ2の共有型試験レジスタの構成例1（フイードバック型）を示す図。

【図5】タイプ2の共有型試験レジスタの構成例2（MISR型）を示す図。

【図6】タイプ2の共有型試験レジスタの構成例3（ノード・フイードバック型）を示す図。

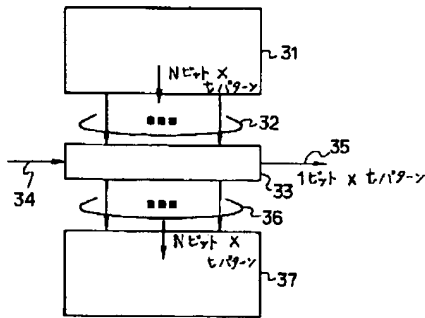
【図7】従来の組み込み自己試験回路の全体構成図。

【符号の説明】

11…共有型試験レジスタ（パターン発生）	
12…共有型試験レジスタ（パターン発生、空間圧縮）	
13…空間圧縮出力線	14…モード切替え信号
15…初期化信号	16…時間圧縮器
17…組み込み自己試験制御回路	18…試験回路起動信号
19…終了信号	110…結果判定信号
111…通常レジスタ	112…通常バス
113…外部入力	114…外部出力
115…組合せ回路	116…集積回路
31…前段の試験対象回路	32…データ入力線
33…共有型試験レジスタ（パターン発生、空間圧縮）	34…モード切替え入力線
35…空間圧縮出力線	36…データ出力線
37…次段の試験対象回路	

【図1】

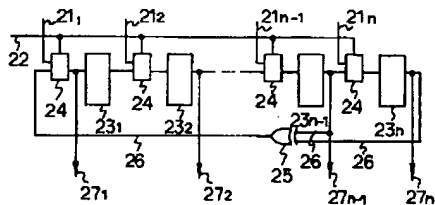
図1 本発明の共有試験レジスタの基本構成  
(タイプ2の共有試験レジスタ)



- 31…前段の試験対象回路  
32…データ入力線 (Nビット)  
33…共有型試験レジスタ (パターン発生, 空間圧縮)  
34…モード切替入力線  
35…空間圧縮出力線  
36…データ出力線 (Nビット)  
37…次段の試験対象回路

【図3】

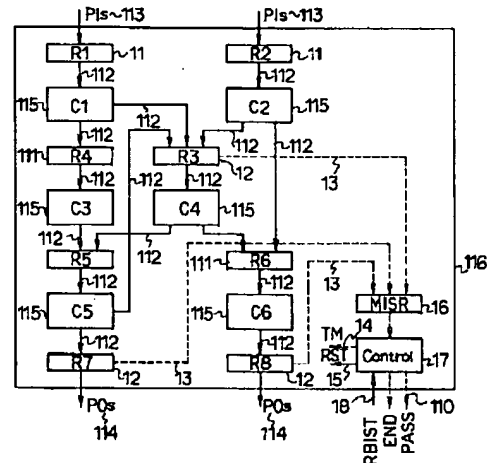
図3 タイプ1の共有型試験レジスタの構成



- 21…データ入力線  
22…モード切替入力線  
23…記憶素子 (フリップ・フロップ)  
24…シフトデータ・通常入力データ選択素子  
25…排他的論理和素子  
26…フィードバック線  
27…データ出力線

【図2】

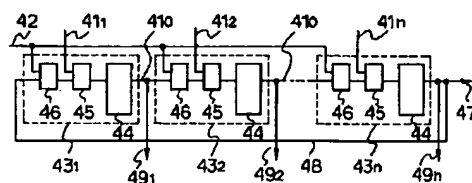
図2 本発明による組み込み自己試験回路の全体構成



- 11…共有型試験レジスタ (パターン発生)  
12…共有型試験レジスタ (パターン発生, 空間圧縮)  
13…空間圧縮出力線  
14…モード切替信号  
15…初期化信号  
16…時間圧縮線  
17…組み込み自己試験制御回路  
18…試験回路起動信号  
19…終了信号  
110…結果判定信号  
111…通常レジスタ  
112…通常パス  
113…外部入力  
114…外部出力  
115…組合せ回路  
116…基準回路

【図4】

図4 タイプ2の共有型試験レジスタの構成例1

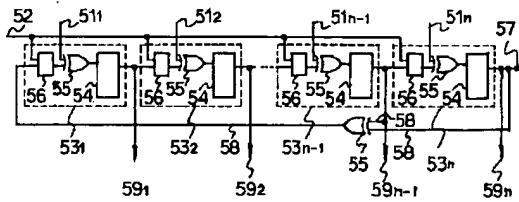


- 41…データ入力線  
42…モード切替入力線  
43…試験用レジスタセル  
44…記憶素子 (フリップ・フロップ)  
45…2入力論理素子  
46…シフトデータ・固定値選択素子  
47…空間圧縮出力線  
48…フィードバック線  
49…データ出力線  
410…シフト線



【図5】

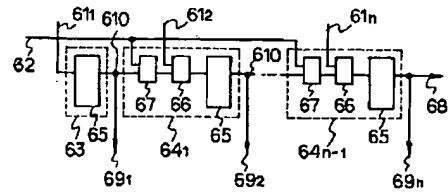
図5 タイプ2の共有型試験レジスタの構成例2



- 51---データ入力線
- 52---モード切替入力線
- 53---試験用レジスタセル
- 54---記憶素子(フリップ・フロップ)
- 55---排他的論理和素子
- 56---シフトレジスタ・固定値選択素子
- 57---空間圧縮出力線
- 58---フィードバック線
- 59---データ出力線

【図6】

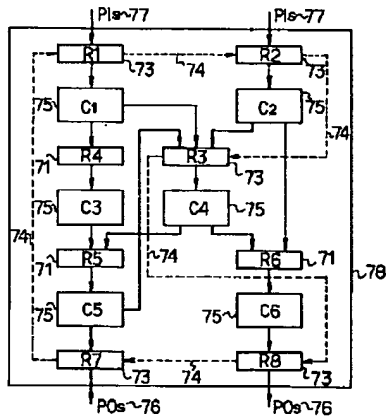
図6 タイプ2の共有型試験レジスタの構成例3



- 61---データ入力線
- 62---モード切替入力線
- 63---通常レジスタセル
- 64---試験用レジスタセル
- 65---記憶素子(フリップ・フロップ)
- 66---2入力論理素子
- 67---シフトレジスタ・固定値選択素子
- 68---空間圧縮出力線
- 69---データ出力線
- 610---シフト線

【図7】

図7 従来を組み込み自己試験の全体構成



- 71---通常レジスタ
- 72---通常バス
- 73---共有型試験レジスタ(パターン発生、時間圧縮)
- 74---循環バス
- 75---組合せ回路
- 76---外部出力
- 77---外部入力
- 78---各種回路

[Claims]

[Claim 1]

A shared test register that in an IC,  
within a circuit layout connecting to a circuit under test via said data input lines and data output lines a register having N (N being an arbitrary natural number) data input lines, 1 mode switch input line, N data output lines and a test data output line,  
wherein said register operates as an N-bit register during normal mode, but during test mode, outputs as t N-bit test patterns for the next-block circuit under test that data stored in the N-bit register from the data of t N-bit input patterns (t being the number of test patterns) that were output from the previous-block circuit under test,  
where said shared test register is characterized by  
comprising N memory elements that were placed contiguously at layout time,  
where said N memory elements operate on the same clock cycle,  
and further, where said test data output line is structured to comprise 1 spatial compression output line,  
and where the data of t N-bit patterns at the time of said test mode is spatially compressed to t 1-bit patterns and output from said spatial compression output line.

[Claim 2]

A built-in self-test circuit characterized by providing  
L (L being a natural number) shared test registers as described in Claim 1,  
an L-bit temporal compressor comprising memory elements that operate at a clock cycle that is the smallest common denominator of the clock cycles received by said various shared test registers,  
and a test control circuit;  
and by providing a structure that  
connects to said temporal compressor the L spatial compression output lines output from said L shared test registers which have a compression rate smaller than said temporal compressor,  
compresses, in said temporal compressor, the t L-bit patterns (t being the number of test patterns) to p L-bit patterns (p being the number of comparisons done with the L-bit expected value, with p a natural number and  $p \ll t$ ),  
and in which, in said test control circuit, said compressed data is compared with expected values, and the test result is output to outside the integrated circuit.

[Detailed Description of the Invention]

[0001] [Field of Industrial Use]

The present invention relates to a shared test register for simplifying integrated circuit testing, and a built-in self-test (BIST) circuit using the same.

[0002][Prior Art]

One known method for simplifying IC testing is the built-in self-test circuit, which is based on compact test methods building testing capabilities (a test pattern generator, a pattern compressor, a comparer, and an expected value) into the same circuit. In order to achieve a high fault detection rate and a short test time for the increasing scale and complexity of ICs, this distributed structure mounting multiple said pattern generators and pattern compressors on an IC is becoming indispensable, and one method known for simplifying testing is to replace part of a register used in normal processing in an IC with a shared test register which can switch to a normal mode and a test mode by mode selection. As a conventional example of a distributed built-in self-test circuit and a shared test register, a method is known that uses Built-in Logic-Block Observation (BILBO) registers that perform normal register operations, shift operations, initialization, pattern generation, pattern compression (temporal compression) by means of mode switching, and while switching among the above modes, the logic blocks surrounded by the BILBO registers are tested in order (Reference: Konemann B., Muncha J. and Zwiehoff G.: "Built-In Logic Block Observation Techniques", IEEE Int. Test Conference", pp 37-41 (1979)). However, because it is necessary to use linear feedback shift register-type multi-function register cells as the BILBO registers mounted plurally in the IC, one problem is that too much extra circuitry is added for testing. A further problem is that, because multiple testing procedures are needed to test an entire IC block, the test control circuitry becomes too complex.

[0003]

One method is known of a test control circuit that can be more simply structured than that of the BILBO method; this uses self-test path registers 73 as shared test registers, and is structured connecting these in one cyclical path 74. The overall structure of this conventional built-in self-test circuit is shown in Fig 7 (Refer to Krasniewski A. and Albicki A.: "Circular Self-Test Path: a Low-Cost BIST Technique for VLSI Circuits," IEEE Trans. on CAD Vol. 8, No. 1, pp. 46-55 (1989)). By means of making a self-test path registers 73 function simultaneously as a pattern compressors (temporal compressor) for the circuit under test of the input side of the register, and as a test pattern generator for the circuit under test of the output side, it is possible to test the entire block inside IC 78 with one testing procedure, and making possible a simple test control circuit construction. However, because all self-test path registers 73 are connected into one cyclical path 74, there are problems such as the difficult application to multi-cycle circuits where the clock cycle of each self-test path register is different, and also, the difficulty in guaranteeing timing for a large-scale IC where a greater number of registers perform shift operations simultaneously. Further there is the problem that, because high degree temporal compression is perform directly with self-test path registers 73, in order to decrease the fault masking rate, multiple input signature registers (MISR) or feedback shift registers having a feedback line and a hardware intensive composition must be used as self-test path registers 73. In Reference 2, feedback shift registers are used as self-test path registers 73, but in order to reduce the fault masking rate, it is necessary to have more

expected value comparison circuits than multiple input shift registers (MISR), and there is the problem that the expected value vector becomes large.

[0004][Problems to be solved by the invention]

Based on the increasing scale of ICs, there is a tendency of increasing power consumption, and there is growth in multi-cycle circuits that run a whole IC not on a single clock cycle, but that have clock cycles adapted to the demands of each function block. For this reason, a technique for simplifying testing adapted to a multi-cycle circuit is desirable. Based on the increasing scale of ICs, guaranteeing timing during register shifting is also coming to be a problem. A method known as level sensitive scanning guarantees shift operations with two clocks used exclusively for shifting, but requires a lot of hardware. For this reason, in the built-in self-test technique, an arrangement not using the level sensitive scan but easily making possible guaranteeing timing is desirable. The testing process when a built-in self-test is used for performing IC testing includes the design of the built-in self-test circuit, incorporating it [in the circuit], and the test execution process, but it is desirable to reduce the man-hours in order to reduce testing costs. Among these, in order to reduce the man-hours spent designing and building in, a composition is necessary that can standardize and simplify all the components comprising the built-in self-test circuit. In particular, a composition is needed that can standardize and simplify test control circuits requiring design work. Further, in order to simplify test execution during the manufacturing and system phases, a composition is desirable that mounts the expected values in the IC and that can output the test result internally to the IC without using a tester. By means of adding built-in self-test hardware, the chip surface increases, and thus given the decrease in IC yield, it is desirable to decrease the amount of hardware added for a built-in self-test circuit as much as possible. For this reason, shared test registers, which are plurally mounted on ICs and are a factor in the increase of supplementary circuits, must be implemented with as little hardware as possible.

[0005]

The present invention, in view of the above points, was created to solve these problems. One of its goals is to offer an improved shared test register that can be adapted to a multi-cycle circuit, that can easily guaranteeing timing, and that reduces test costs, and another goal is to offer, in addition those improvements, a built-in self-test circuit that can further get by with a smaller number of auxiliary test circuits.

[0006][Means for solving the problem]

In the shared test register of the present invention, in order to reach the first of the above goals,

for example, as shown in Fig 1, an arrangement is provided in which:

within a circuit layout connecting to a circuit under test, for example, 31 or 37, via said data input lines 32 and data output lines 36 a register having N (N being an arbitrary

natural number) data input lines 32, 1 mode switch input line 34, N data output lines 36 and test data output line 35,  
wherein said register 33, during normal mode operates as an N-bit register, but during test mode, outputs as t N-bit test patterns for the next-block circuit under test that data stored in the N-bit register from the data of t N-bit input patterns (t being the number of test patterns) that were output from the previous-block circuit under test,  
and in the shared test register 33 in an IC,  
said shared test register 33  
comprises N memory elements, for example flip-flops, that were placed contiguously at layout time,  
where said N memory elements operate on the same clock cycle,  
and further, where said test data output line is structured to comprise 1 spatial compression output line 35,  
and where the data of t N-bit patterns at the time of said test mode is spatially compressed to t 1-bit patterns and output from said spatial compression output line 35.

[0007]

Further, in order to reach the other goal described above with the built-in self-test circuit of the present invention,  
for example as shown in Fig 2, is made to have a structure:  
supplying in the IC L (L being an arbitrary natural number) of the above-described shared test registers 12 (R3, R7, R8) as spatial compressors, L bit temporal compressor 16 comprising for example memory elements operating on the clock cycle that is the lowest common denominator of the clock cycles used in various said shared test registers, and test control circuit 17;  
connecting to said temporal compressor 16 L spatial compression lines (13) receiving output from said L shared test registers 12 which have a smaller degree of compression than said temporal compressors;  
in said temporal compressors 16, compressing the data of t L-bit patterns (t being the number of test patterns) to p L-bit patterns (p being the number of comparisons with expected values, a natural number with  $p \ll t$ )  
in said test control circuit 17, comparing said compressed data with expected values, and outputting the test result to outside the IC (110).

[0008][Effect of the Invention]

By means of structuring one shared test register using N memory elements (flip-flops) placed contiguously at layout time, according to the shared test register of the present invention, clock lag received by said memory elements can be reduced, and timing can easily be guaranteed. Further, by means of making the shared test register operate simultaneously as a test pattern generator and a spatial compressor during test mode, by means of the shared test register of the present invention, it is possible to test a whole block inside an IC with a single test procedure. For this reason, test control circuits can be easily constructed, and testing costs decrease. Further, in the shared test register of the

present invention, making the memory elements forming [the register] operate at the same frequency clock cycle is provides a groundwork so that test circuits using [the register] are optimal for multi-cycle circuits, as will be described below.

[0009]

Further, in the built-in self-test circuit of the present invention, pattern compression is performed by dividing it into two stages: spatial compression, by means of the shared test register, and temporal compression. The spatial compressor (the shared test register) comprises only memory elements (flip-flops) that operate at the same frequency clock cycle, but the temporal compressor operates only based on memory elements (flip-flops) that operate at the clock cycle that is the smallest common denominator of the clock cycles given by each shared test register. Further, in the built-in self-test circuit of the present invention, instead of using a temporal compressor that requires a hardware-intensive composition in order to keep the pattern compression rate up and the fault-masking rate down, a spatial compressor is used that has a small pattern compression rate and that keeps the fault masking rate low but requires little hardware, and by means of performing temporal compression using one independent compressor like a multiple input signature register (MISR), it is possible to restrain the amount of hardware of the shared registers, and lessen the amount of hardware in the whole additional circuits for testing. Further, in the built-in self-test circuit of the present invention, by using a above-described shared test register having low clock skew, it is easy to build it into a self-test circuit that makes a timing guarantee simple. Moreover, according to the built-in self-test circuit of the present invention, expected value and comparison circuits are mounted in the IC and the acceptability of the result is determined internally to the IC, and thereby, it becomes easy to run tests in the production and system phases.

[0010] [Preferred Embodiments]

Below, the preferred embodiments of the present invention will be explained in detail with reference to the figures. Fig 1 shows the basic composition of the shared test register of the present invention, and Fig 2 shows an overall composition of the built-in self-test circuit according to the present invention. As shown in Fig 2, the built-in self-test circuit of the present invention is constructed for self-testing using normal register / pattern generator switchable-type type 1 shared registers 11, normal register / pattern generator + spatial compressor switchable-type type 2 shared registers 12, temporal compressor 16, and test control circuit 17. Among these, the shared test register of the present invention of Fig 1 is the type 2 shared register 12, and the above-said type 1 shared test register 11 is shown in Fig 3. Further, preferred embodiments of the shared test register of the present invention are shown in Figs 4 – 6.

[0011]

To start, the type 2 shared test register of Fig 1 has N (N being an arbitrary natural number) data input lines 32, one mode switch input line 34, N data output lines 36, and one spatial compression line 35, and it functions during normal mode as a N-bit register

used in normal operation, but during test mode, it has the capability of outputting the data stored in the N-bit register to circuit under test 37 of the next block at the same time as compressing the data of the t (t being the number of test patterns) N-bit (N being the number of outputs of the circuit under test) patterns output from circuit under test 31 of the previous block to  $(1 * t)$  data and outputting it from spatial compression output line 35.

[0012]

In Fig 2, the above-described type 1 shared test register 11 is mounted in IC 116 by replacing a register (or a boundary scan register) connected directly to external input 113. Further, a type 1 shared test register 11 operates on the same clock cycle during normal operation, and comprises about 20 – 30 memory elements (flip-flops), each belonging to a layout block having timing that can be guaranteed. Further, type 1 shared test register 11 has N (N being an arbitrary natural number) data input lines, one mode switch input line and N data output lines, and during normal mode it operates as an N-bit register used in normal processing, but during test mode, it has the capability to act as test pattern generator for a circuit under test in the next block.

[0013]

Further, above-described type 2 shared test registers 12 are mounted on IC 116 by replacing a part of a register surrounded by combinatorial logic circuits 115 or a register connected directly to the external output (or a boundary scan register). As a register surrounded by combinatorial logic circuits 115, a register is chosen with poor controllability and observability of random patterns. Generally, a state control register can be given as an example. Further, a register is selected that can be partitioned by the IC into sub-blocks of appropriate size, making the evaluation of fault detection rate calculations, etc, easier. Further, a type 2 shared test register 12 operates on the same clock cycle during normal operation, and comprises from about 20 – 30 memory elements (flip-flops) each that belong to a layout block having guarantee-able timing.

[0014]

Temporal compressor 16 uses an L-bit (L is the number of type 2 shared test registers) multiple input signature register (MISR). The data of L-bit (L is the number of outputs on the circuit under test)  $x t$  patterns (t is the number of test patterns) outputted from the spatial compression output lines 13 of all the shared test registers is temporally compressed to  $L x p$  pattern data. Here, because p (an arbitrary natural number) is the number of expected value comparisons, and the fault masking rate of a multiple input signature register is  $1 / (2^L)$ , from the standpoint that the MISR fault masking rate becomes evident when L is less than 20 to 30 bits and that the faulty output rate is set to the normal 1 million-to-1 target, the number of  $L x p$  values is set to be more than 30. Further, said temporal compressor 16 operates on the same clock cycle during normal operation, and each comprises about 20 to 30 memory elements (flip-flops) that belong to layout block where timing can be guaranteed. Further, in the case the said temporal

compressor 16 is operating in the whole IC on multiple clock cycles, it is made to operate at the lowest common denominator of the clock cycles.

[0015]

Test control circuit 17 receives a test circuit start-up signal 18 from outside of IC 116, initializes all registers on the IC through initialization signal wire 15, switches all shared test registers to test mode, performs pattern generation / compression, and after  $t$  periods ( $t$  is the number of test patterns), compares the output of temporal compressor 16 with the expected value and outputs a termination signal 19 and a result determination signal 110 to outside of IC 116. Because said type 2 shared test register 12 controlled by said test control circuit 17 simultaneously functions as a pattern generator and a pattern compressor, said start-up, initialization, pattern generation / compression and result determination can be performed in one test procedure, and the structure of test control circuit 17 is simple compared to a method like BILBO requiring multiple test procedures.

[0016]

Fig 3 shows a preferred embodiment of type 1 shared test register 11. Type 1 shared test register 11 is constructed using  $N$  memory elements 23,  $N$  shift data / normal input data selection elements 24, and  $O$  ( $O$  being an integer between 1 and 3) XOR gates 25. Based on a signal received from mode switch input line 22, shift data / normal input data selector elements 24 select data input lines 21 during normal mode, and select the data shifted in from memory elements 24 of the previous block during test mode. Further, said type 1 shared test register 11 has multiple feedback lines 26, which is the feedback point where the primitive polynomial becomes the generated polynomial, and during test mode, it functions as a linear feedback shift register (LFSR), giving maximum length sequence pseudorandom patterns to the circuit under test of the following block.

[0017]

Fig 4 shows preferred embodiment 1 of said type 2 shared test register (feed-back type). The type 2 shared test register of Fig 4 is constructed using  $N$  test register cells 43. Further, each test register cell 43 is connected by shift line 41. The output of final-block test register cell  $43_n$  is connected to initial-block test register cell  $43_1$  by the feedback line, and it also outputs as spatial compression output line 47. Said test register cells 43 are constructed using a memory element 44, a two-input logic element 45, and a shift data / fixed value selector element 46. Based on the signal received from mode switch input line 42, during normal mode, said shift data / fixed value selector elements 46 operate during normal mode by sending fixed values to two-input logic elements 45, and by making sure that data input 41 is given to memory elements 44 without modification; during test mode, they operate by making sure that the value from a logic operation on the data shifted in from test register cells 43 of the previous block data input 41 is given to memory element 44. Two-input logic elements 45 comprise ORs, ANDs, XORs or any of their negations.



[0018]

Further, as a feedback arrangement different from that described above, a (MISR-type) structure 2 can be used that, as shown in Fig 5, has as its feedback point multiple feedback lines 58, at which the primitive polynomial becomes the generated polynomial, and uses XOR gates 55 as its two-input logic elements, and that during test mode functions as a multiple input signature register (MISR).

[0019]

In Fig 6, a third preferred embodiment (no-feedback type) of said type 2 shared test register 12 is shown. The type 2 shared test register of Fig 6 comprises one normal register cell 63 and N-1 test register cells 64, where normal register cells 63 and test register cells 64 are connected by shift line 610. The output of final-block test register cell  $64_{n-1}$  is output as spatial compression output line 68. Normal register cell 63 randomly selects from output 32 of the previous-block circuit under test to connect to an output that is likely to flip 0s and 1s. Said test register cells 64 are constructed using a memory element 65, a two-input logic element 66, and a shift data / fixed value selector element 67. Based on a signal received from mode switch input line 62, said shift data / fixed value selector elements 67 operate during normal mode by giving a fixed value to two-input logic elements 66, and assuring that data input 61 is sent to memory elements 65 without modification, but during test mode, they operate by assuring that the value of a logic operation on data input 61 and the data shifted in from previous-block normal register cell 63, or test register cell 64, is sent to the memory elements. Two-input logic elements 66 comprise ORs, ANDs, XORs or any of their negations.

[0020]

Next, further items relating to application to multi-cycle circuits, timing guarantees, and type 2 shared test registers will be explained.

(Application to multi-cycle circuits)

As previously described, when an IC operates on multiple clock cycles, type 1 shared test registers 11 and type 2 shared test registers 12 comprise memory elements (flip-flops) that operate on the same clock cycle in normal mode. Further, temporal compressor 16 operates on a clock that is the lowest common denominator of the clock cycles. By this means, shift operations between flip-flops comprising a type 1 shared test register 11, a type 2 shared test register 12, or a temporal compressor 16 are performed on the same clock cycle, and further, because shift operations from each type 2 shared test register 12 to a temporal compressor 16 are performed from low-clock-cycle flip-flops towards high-clock-cycle flip-flops, no data loss occurs during shift operations. On the other hand, in the conventional method, because all registers are connected and shifted on a single cyclical path 74, when the whole IC is operating at multiple clock cycles, because shift operations from high clock cycle flip-flops to low clock cycle flip-flops are performed, data loss occurs during these shift operations, and the fault masking rate in the compressor increases.

[0021]

(Timing guarantee)

As discussed above, type 1 shared test registers 11, type 2 shared test registers 12, and temporal compressors 16 each comprise around 20 to 30 memory elements (flip-flops) that belong to a layout block that can be timing-guaranteed. Regarding timing guarantees among the flip-flops comprising said type 1 shared test registers 11, type 2 shared test registers 12, and temporal compressors 16, because 1 or 2 blocks of logic elements are placed between the flip-flops comprising each kind of register, and because there is a time delay holding margin in these logic elements, in order to guarantee timing, it is sufficient to keep the clock variation produced in various said test register flip-flops within said holding margin. Because it is easy to specify a layout block that guarantees the skew to be within the delay time of the logic elements of blocks 1 and 2 by means of clock design, for example, by making the clock wires of uniform length and by using the same driver, because the number of flip-flops comprising each kind of test register can be kept to around 20 to 30 that belong to a layout that can be timing-guaranteed as described above, and timing can easily be guaranteed. Further, the timing of shift operations from type 2 shared test register 12 to temporal compressor 16 can easily be guaranteed by means of inserting delay elements corresponding to the assumed clock variation between the layout block including type 2 shared test register 12 and the layout block including temporal compressor 16 between type 2 shared test register 12 and temporal compressor 16.

[0022]

(Type 2 shared test register)

As shown in the above, a type 2 shared test register 12 is made by selecting as its overall composition: feedback-type, MISR-type, or no-feedback-type, and its two-input logic elements: ORs, ANDs or XORs, or the negation of any of them, and selection guidelines for that occasion will now be indicated. The amount of hardware increases in the order non-feedback-type, feedback-type, and MISR-type, and when a XOR or its negation is used as the two-input logic element, more [space] is used. As described above, the type 2 shared test register 12 functions as a spatial compressor for previous-clock circuit under test 31 and as a test pattern generator for next-block circuit under test 37, but a selection must be made considering the fault masking rate (the rate at which the impact of faults is masked) of the different spatial compressors and the test pattern effectiveness (how many of the patterns have a high degree of randomness) of the test pattern generator.

Regarding the fault masking rate of a type 2 shared test register as a spatial compressor, because compressed values are output in the entire testing cycle from spatial compression output lines 47, 57 and 68, which are connected to final-block test register cells  $43_n$ ,  $53_n$  and  $63_{n-1}$ , it is sufficient that the effect of a fault is propagated once to final-block test register cells  $43_n$ ,  $53_n$  and  $64_{n-1}$ , so there is no difference in the fault making rate between feedback-type and non-feedback-type. Further, given that XOR or its negation is used as two-input logic elements 45 and 66; for a fault masking to occur when in a given cycle an abnormal output is propagated from previous-block circuit under test 31, a new abnormal

output would have to be propagated to cancel out the previous abnormal output before the former is shifted to final-block test register cells  $43_n$ ,  $53_n$ ,  $64_{n-1}$ , so the fault masking rate is extremely low.

If a logical OR or its negation is used, when in a given cycle an abnormal output is propagated from previous-block circuit under test 31, even if no abnormal output comes up that cancels out its effect, because during a shift operation it will be overseen with a  $1/2$  probability, the fault masking rate is higher than when a XOR or its negation is used. Regarding the test pattern efficiency of a type 2 shared test register 12 as a test pattern generator, various kinds of patterns will be propagated from previous-block circuit under test 31, but if the probability of randomly flipping 0s and 1s of all or part of the output of previous-block circuit under test 31 is high, by connecting that output to the normal register cells 63, the patterns with high test pattern efficiency for next-block circuit under test 37 will be generated even if a no-feedback type is used. If the probability of randomly flipping 0s and 1s of all or part of the output of previous-block circuit under test 31 is low, in a no-feedback type, because the rate of generating fixed patterns is high and thus the test pattern efficiency deteriorates, a feedback type should be used. In regard to a [register] in which fixed values are propagated in almost all test cycles, because patterns of the shared test register bit are repeated in a simple feedback-type, pattern efficiency deteriorates. Then it is necessary to use a MISR-type. Further, if a logical OR, a logical AND, or their negation is used as the two-input logic elements 45 and 66, the probability that 0s or 1s occur in the test register cells becomes higher than when the XOR or its negation is used, and pattern efficiency falls.

[0023]

Above, in consideration of the characteristics of each type 2 shared test register 12, regarding the choice between feedback-type, MISR-type, and no-feedback-type, when the probability that part or all of the output of previous-block circuit under test 31 toggles randomly is high, a no-feedback-type is used; when the probability that part or all of the output of previous-block circuit under test 31 toggles randomly is low, a feedback type is used, and when in most cycles a fixed value is propagated from all output of previous-block circuit under test 31, a MISR-type is used.

[0024]

Next, the selection of two-input logic elements 45 and 66 is utilized when a large number of patterns with a high fault detection rate is sent from previous-block circuit under test 31, the fault impact is propagated to the circuit under test output and a high fault detection rate can be achieved even with patterns that don't have very good test pattern efficiency for next-block circuit under test 37.

[0025]

In the present invention, because the only spatial compression performed is the pattern compression of the shared test register, it would be sufficient if pattern compression by the shared test register were around some tens to one (assuming the number of registers

comprising the shared test register is a few tens), and as shown above, depending on the characteristics of the circuits under test connected to previous and following blocks, in many cases, a shared test register needing little hardware can be used. On the other hand, in the method from the conventional technology in which direct temporal compression is performed with a shared test register, pattern compression by the shared test register of several million to one (assuming the number of test cycles is some millions) is necessary, and in order that fault masking does not occur, regardless of the characteristics of the circuits under test connected to the previous and following blocks, it is necessary to use a compressor with more hardware, a multiple input signature register (MISR) or a feedback type, and further to use XOR gates for two-input logic elements.

[0026] [Effect of the invention]

As described above, by means of the built-in self-test circuit using the shared test register of the present invention, application to a multi-cycle circuit is possible, it is easy to guarantee timing, testing costs are reduced, there is little additional circuitry for testing, and it is practical in a built-in self-test circuit in an IC.

[Brief explanation of the Figures]

[Fig 1] Basic composition diagram of the type 2 shared test register of the present invention

[Fig 2] Whole-composition diagram of a built-in self-testing circuit according to the present invention

[Fig 3] Diagram showing a preferred embodiment of the type 1 shared test register

[Fig 4] Diagram showing preferred embodiment 1 (feedback-type) of the type 2 shared test register

[Fig 5] Diagram showing preferred embodiment 2 (MISR-type) of the type 2 shared test register

[Fig 6] Diagram showing preferred embodiment 3 (non-feedback-type) of the type 2 shared test register

[Fig 7] Whole-composition diagram of a conventional built-in self-testing test circuit

[Explanation of the Numbering]

- 11 Shared test register (pattern generation)
- 12 Shared test register (pattern generation, spatial compression)
- 13 Spatial compression output line
- 14 Mode switch signal
- 15 Initialization signal
- 16 Temporal compressor
- 17 Built-in self-test control circuit
- 18 Test circuit start-up signal
- 19 Terminal signal
- 110 Result judgment signal
- 111 Normal register

112	Normal path
113	External input
114	External output
115	Combinatorial circuit
116	Integrated circuit
21	Data input line
22	Mode switch input line
23	Memory element (flip-flop)
24	Shift data / normal input data selection elements
25	XOR gate
26	Feedback line
27	Data output line
31	Previous-block circuit under test
32	Data input line
33	Shared test register (pattern generation, spatial compression)
34	Mode switch input line
35	Spatial compression output line
36	Data output line
37	Following-block circuit under test
41	Data input line
42	Mode switch input line
43	Test register cell
44	Memory element (flip-flop)
45	Two-input logic element
46	Shift data / fixed value selector element
47	Spatial compression output line
48	Feedback line
49	Data output line
410	Shift line
51	Data input line
52	Mode switch signal
53	Test register cell
54	Memory element (flip-flop)
55	XOR gate
56	Shift data / fixed value selector element
57	Spatial compression output line
58	Feedback line
59	Data output line
61	Data input line
62	Mode switch input line
63	Normal register cell
64	Test register cell
65	Memory element (flip-flop)

66	Two-input logic element
67	Shift data / fixed value selector element
68	Spatial compression output line
69	Data output line
610	Shift line
71	Normal register
72	Normal path
73	Shared test register (pattern generator, temporal compressor)
74	Cyclical path
75	Combinatorial circuit
76	External output
77	External input
78	Integrated circuit